

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-164514

(43)Date of publication of application : 07.06.2002

(51)Int.Cl.

H01L 27/105

H01L 21/316

H01L 27/108

H01L 21/8242

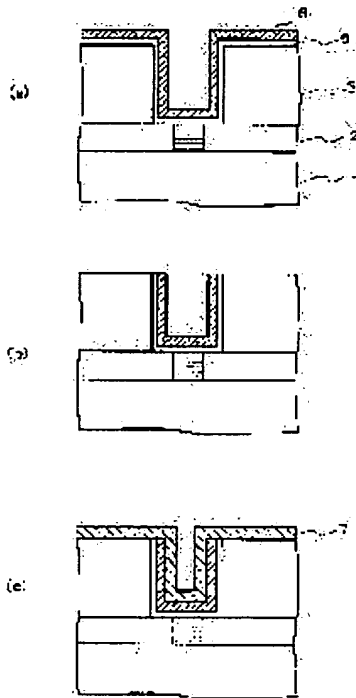
(21)Application number : 2000-357780

(71)Applicant : NEC CORP

(22)Date of filing : 24.11.2000

(72)Inventor : AOKI HIDEMITSU
FUJIOKA HIROFUMI

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for extracting characteristic of metal oxide material maximumly without damaging reliability of an element, and provide a method for forming a capacitance film having sufficiently high permittivity and an electrode film having sufficiently high conductivity, e.g. in a capacitance element.

SOLUTION: After a connection hole is formed in an interlayer insulating film 3, an adhesion film 5 and a lower electrode film 6 are formed, and a capacitance insulating film 7 is formed on the lower electrode film 6. The capacitance insulating film 7 is irradiated with a laser light and crystallized. After that, an upper electrode film is formed, and a capacitance element is completed.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a component of having used the metallic oxide.

[0002]

[Description of the Prior Art] In recent years, it replaces with conventional silicon oxide and a conventional silicon nitride as a capacity insulator layer of DRAM or FeRAM, and ferroelectric film, such as Ta₂O₅ and a perovskite system ingredient, has come to be used. By using such ferroelectric film, it becomes possible to secure storage capacitance required in a small monopoly area, and improvement in a capacitative element degree of integration can be aimed at.

[0003] When using the ferroelectric film, in order to obtain a dielectric constant high enough, it is usually necessary after membrane formation to perform annealing at a 600-700-degree C elevated temperature. In the phase immediately after forming membranes, since the ferroelectric film is in an amorphous condition, a high dielectric constant is not obtained but the dielectric constant which begins by passing through the crystallization process by annealing, and ingredient original has discovers it. However, the conventional manufacture approach had the following technical problems by the relation which performs such elevated-temperature annealing.

[0004] When polish recon etc. was used as an electrode material which sandwiches the capacity film, there was a problem that capacity became small. Although the ferroelectric film consists of a metallic oxide, by the above-mentioned elevated-temperature annealing, oxygen is isolated from this metal oxide film, and it usually oxidizes polish recon. For this reason, a dielectric film with a dielectric constant lower than the ferroelectric film (silicon oxide film) will exist between electrode materials, and capacity becomes small as a result.

[0005] In order to avoid such evil, it becomes effective to use noble metals, such as what it is [insulator-layer-] hard toize by oxidation as an electrode material, for example, a ruthenium, and platinum. However, such a metallic material is known as the so-called lifetime killer, if hot annealing which was described above is performed, it may diffuse the inside of a silicon substrate at high speed, and it may bring about various evils, such as fluctuation of the fall of carrier mobility, and the threshold electrical potential difference of a transistor.

[0006] Moreover, although it connected with the transistor through the interlayer connection plug, when the above elevated-temperature annealing was performed, the interface between an interlayer connection plug, an interlayer connection plug, and capacity might oxidize, and resistance might usually increase the part by volume.

[0007] On the other hand, how to crystallize by the exposure of a laser beam other than the elevated-temperature annealing method is also learned as the formation approach of the capacity film (JP,11-193472,A and JP,5-343642,A). However, the approach given in these official reports was not what offers the approach of carrying out laser radiation to the amorphous film formed on the flat surface, and offers the approach of crystallizing according the metallic oxide formed on the concavo-convex front

face to laser radiation. From rectilinear-propagation nature of a laser beam being high, to the metallic oxide which was formed in a concavo-convex front face, especially the side-attachment-wall section according to old technical common sense, laser radiation was not considered to act effectively and the attempt which applies the crystallization technique by laser radiation to such an object was not examined. Moreover, even when laser radiation is carried out to the metallic oxide formed in the concavo-convex front face, it is expected that the exposure of light changes with locations, and poor crystallization arises into few parts of the capacity film in manufacture of the capacitive element made detailed, the magnitude of capacity is changed sharply and it results in spoiling product reliability remarkably. From the background described above, examination of crystallization according [on the crystallization process of the capacity film formed in the concavo-convex front face and the manufacture process of the capacitive element especially equipped with such capacity film and] to laser radiation does not have the made example, and, generally elevated-temperature annealing by RTA (Rapidly Thermal Annealing) etc. was performed.

[0008]

[Problem(s) to be Solved by the Invention] This invention offers the approach of pulling out the property of a metallic-oxide ingredient to the maximum extent, without being made in view of the above-mentioned situation, and spoiling the dependability of a component. For example, in a capacitive element, the approach of forming the capacity film which has a dielectric constant high enough, and the electrode layer which has conductivity high enough is offered.

[0009]

[Means for Solving the Problem] After the manufacture approach of the semiconductor device of this invention deposits an amorphous metallic oxide on the semi-conductor substrate front face in which a crevice or heights was prepared, it is characterized by including the process which crystallizes a metallic oxide by the exposure of a laser beam.

[0010] Moreover, after the manufacture approach of the semiconductor device of this invention forms the interlayer insulation film which has a crevice on a semi-conductor substrate, it forms a lower electrode layer in a field including the wall of a crevice, and is characterized by to include the first process which deposits an amorphous metallic oxide on it, the second process which crystallizes a metallic oxide by the exposure of a laser beam, and the third process which forms an up electrode layer on a metallic oxide.

[0011] This invention crystallizes suitably the metallic oxide deposited on the side attachment wall of a concavo-convex front face, especially a crevice, and offers the approach of pulling out the property of an ingredient. The crystallized metallic oxide can be used as the capacity film and electrode layer of a capacitive element.

[0012] For example, as a metallic oxide, if Ta₂O₅, BST (Ba_xSr_{1-x}TiO₃) and PZT (PbZr_xTi_{1-x}O₃), PLZT (Pb_{1-y}La_yZr_xTi_{1-x}O₃), or SrBi₂Ta₂O₉ (0 < x < 1, 0 < y < 1) is chosen, a dielectric constant will rise stably by the exposure of a laser beam, and the capacity film of a high dielectric constant will be obtained.

[0013] Moreover, as a metallic oxide, when Ru and the oxide of Pt are chosen, conductivity can improve stably by the exposure of a laser beam, and a suitable electrode layer can be obtained.

[0014] In recent years, three-dimensional structures, such as a stack mold and a trench mold, are adopted from a viewpoint of the improvement in a degree of integration as structure of a capacitive element in many cases. With such structure, the capacity film and an electrode layer are formed in the side attachment wall of the hole established in the semi-conductor substrate or the interlayer insulation film on it, or forming the capacity film and an electrode layer in the side attachment wall of heights prepared in the substrate front face is performed. This invention can be suitably applied to the above three-dimensional structures, and can crystallize and form the whole capacity film into a high dielectric constant to homogeneity. Moreover, the whole electrode layer can be crystallized to homogeneity and stable conductivity can be acquired.

[0015]

[Embodiment of the Invention] After the manufacture approach of the semiconductor device of this

invention forms the interlayer insulation film which has a crevice on (a) semi-conductor substrate, it can form a lower electrode layer in a field including the wall of a crevice, and can consider it as a configuration including the first process which deposits an amorphous metallic oxide on it, the second process which crystallizes a metallic oxide by the exposure of the (b) laser beam, and the third process which forms an up electrode layer on the (c) metallic oxide.

[0016] (a) After forming an interlayer insulation film on a semi-conductor substrate, the approach of forming the interlayer insulation film which has a crevice is employable by etching this interlayer insulation film with a process by forming membranes on the substrate in which the crevice was formed beforehand besides the approach of forming a crevice.

[0017] In the manufacture approach of the above-mentioned semiconductor device, the process which removes the metallic oxide formed in fields other than a crevice of chemical mechanical polish between the first process and the second process can be performed. In order to fully crystallize the interior of a crevice, it is necessary to make energy density of a laser beam high enough. However, according to examination of this invention persons, when done in this way, it was checked that a film ingredient may condense to plane regions other than a crevice, and a foreign matter may be generated. This is considered to be because for the laser beam of suitable energy to serve as hyperenergia to the film of fields other than a crevice to the film inside a crevice. Such a foreign matter causes subsequent poor membrane formation, and also causes contamination of a wafer, and cross contamination between equipment, and becomes the factor which reduces the dependability of a component remarkably. As an approach of preventing generating of such a foreign matter, it becomes effective between the first process and the second process to perform the process which removes the metallic oxide formed in fields other than a crevice by chemical mechanical polish. Since laser radiation will be performed where the amorphous film formed in fields other than a crevice is removed if it does in this way, generating of a foreign matter can be inhibited.

[0018] Moreover, in the manufacture approach of the above-mentioned semiconductor device, the process which grinds the front face of fields other than a crevice by chemical mechanical polish between the second process and the third process can also be performed. The film of the metallic oxide formed in flat fields other than a crevice is removed by this polish. For this reason, the aggregate of the foreign matter generated by laser radiation, for example, a metallic oxide, etc. is removed, and subsequent poor membrane formation can be prevented.

[0019] In the manufacture approach of the above-mentioned semiconductor device, although polycrystalline silicon can also be used for a lower electrode layer, it shall consist of a metallic material containing 1 or two or more elements which are chosen from Ru, Pt, and Ir. If it does in this way, the amorphous film inside a crevice can be crystallized more to homogeneity. Although this reason is not necessarily clear, laser radiation light reflects by the lower electrode layer, and it is imagined as what is depended on sufficient laser beam energy for a crevice side attachment wall etc. being given. Moreover, the ingredient containing Ti, Ta, or W can also be used as a lower electrode layer ingredient. If it does in this way, an advantage, like the membrane formation nature in a crevice becomes good will be acquired.

[0020] It explains mentioning the capacity manufacture process of DRAM as an example, and referring to drawing 1 - drawing 3 about the 1st operation gestalt, next the gestalt of desirable operation of this invention. With this operation gestalt, the capacity of a configuration of having carried out the laminating of a lower electrode layer, a capacity insulator layer, and the up electrode layer is formed in the crevice in which it was prepared in the insulator layer on a semi-conductor substrate. In addition, for the facilities of explanation, among drawing, a part for a part by volume is expanded a little, and is indicated.

[0021] First, as shown in drawing 1 (a), after forming an MOS transistor including a source drain diffusion field on a silicon substrate 1 (not shown), an interlayer insulation film 2 is formed all over a silicon substrate 1. Subsequently, the contact plug 4 is formed on a non-illustrated diffusion field. Polish recon, a tungsten, etc. can be used for the embedding ingredient of the contact plug 4. Flattening of the whole substrate surface is carried out after plug formation, and an interlayer insulation film 3 is formed

on it.

[0022] Subsequently, dry etching is performed and the hole which reaches the contact plug 4 is formed into an interlayer insulation film 3 (drawing 1 R> 1 (b)). As for the cross section of a hole, considering as a round shape, an ellipse form, etc. is desirable. The bore of a hole is set to 0.1-0.5 micrometers. Moreover, from a viewpoint of the improvement in a capacitive element consistency, it is more desirable, 0.4-3 micrometers and an aspect ratio are desirable, and 0.2 micrometers or more of depth of a hole are more preferably set to 3-20 one or more.

[0023] Then, the adhesion film 5 is formed all over a substrate (drawing 1 (c)). The adhesion film 5 can be used as for example, the TaN film, WN film, or the film in which Ti and TiN carried out the laminating in this order, and can be formed with the sputtering method, a CVD method, etc.

[0024] Next, the lower electrode layer 6 which consists of a ruthenium all over a substrate is formed (drawing 2 (a)). By using a ruthenium as an electrode material, the fall of the capacity by oxidation of an electrode material can be prevented effectively, and a manufacturing cost can be reduced. As the membrane formation approach of a ruthenium, although the sputtering method, a CVD method, etc. can be used, a CVD method is desirable. the narrow hole shown in drawing 2 (a) -- it is because the CVD method is most suitable in order to form a ruthenium thin film by coverage good to homogeneity inside. For example, a screw-(ethylcyclopentadienyl) ruthenium can be used for the material gas in the case of using a CVD method.

[0025] Next, in order to remove the ruthenium system metal which adhered in addition to the component formation field of a silicon substrate, processing using removal liquid is performed. Thereby, the fall of component dependability and the cross contamination of membrane formation equipment by the ruthenium can be prevented. What contains 1 or two or more acids which are chosen from the group which consists of 1 or two or more compounds which are chosen from the group which consists of a salt containing the salt containing the (a) chloric acid, perchloric acid, iodic acid, periodic acid, and oxidization bromine ion, the salt containing manganese oxide ion, and tetravalent cerium ion, the (b) nitric acid and an acetic acid, iodic acid, and a chloric acid as removal liquid, for example is used. It is desirable to use 1 or two or more acids which are chosen from the group which consists of a nitric acid, perchloric acid, and an acetic acid as an acid. By using such removal liquid, the reattachment of the ruthenium system metal which could remove the ruthenium system metal effectively and was removed can be prevented effectively.

[0026] It continues and etchback or chemical mechanical polish (Chemical Mechanical Polishing : CMP) removes the garbage of the adhesion film 5 and the lower electrode layer 6. The condition of having removed is shown in drawing 2 (b) . Thus, by arranging the adhesion film 5 and the lower electrode layer 6 with the same height as an interlayer insulation film 3, it can prevent that the electrode of other adjoining capacity and the lower electrode layer 6 in drawing contact.

[0027] Next, the capacity insulator layer 7 which consists of Ta 2O5 all over a substrate is formed (drawing 2 (c)). Membrane formation of the capacity insulator layer 7 can be performed with the CVD method which uses for example, a pentaethoxy tantalum and oxygen as the main raw material. As a metallic oxide which constitutes the capacity insulator layer 7, perovskite system ingredients, such as BST (Ba_xSr_{1-x}TiO₃), PZT (PbZr_xTi_{1-x}O₃), PLZT (Pb_{1-y}La_yZr_xTi_{1-x}O₃), or SrBi₂Ta 2O₉ (0< x<1, 0< y<1), can be used in addition to Ta₂O₅. Although especially the membrane formation approach of these capacity insulator layers does not have a limit, a CVD method, a sol-gel method, the sputtering method, etc. can be used.

[0028] The capacity insulator layer 7 immediately after forming membranes is in the condition of an amorphous substance (amorphous), and does not discover the high dielectric constant of the ingredient original. In the conventional technique, although it was usually crystallizing by performing 600-700-degree C lamp annealing after this, with this operation gestalt, it crystallizes by irradiating a laser beam.

[0029] As the light source of a laser beam, solid state laser besides excimer laser, such as XeCl, and KrF, ArF, F₂, XeF, etc. can be used. Furthermore, it can also use for such laser combining the dye laser of desired luminescence wavelength. Among these, XeCl and KrF from which sufficient energy density is obtained easily, and ArF excimer laser are used preferably. The average energy density of a laser

beam is two or more 200 mJ/cm two or more 150 mJ/cm two or more 100 mJ/cm preferably. Moreover, they are two or less 350 mJ/cm two or less 400 mJ/cm two or less 450 mJ/cm preferably. If energy density is too small, it will become difficult to crystallize to homogeneity this metallic oxide formed in the concavo-convex side face etc. Especially the thing for which the metallic oxide formed in the interior of the hole of a high aspect ratio (bore minimum value / depth) or a hole with a narrow average bore value is crystallized becomes very difficult. On the other hand, if energy density is too high, the metallic oxide formed in flat-surface parts other than irregularity condenses, and poor membrane formation may be caused in a subsequent process. Although the wavelength of a laser beam is suitably chosen according to the absorption wavelength of a metallic oxide etc., a thing with a wavelength of 150-350nm is used preferably. Crystallization of the metallic oxide formed in the interior of a hole is realized by irradiating the laser beam of such wavelength. Annealing of the metallic oxide formed in the interior of the hole of a high aspect ratio is carried out by the laser beam which advanced inside the hole according to the diffraction effect of light, and it is considered to crystallize.

[0030] The exposure approach of a laser beam can adopt the method irradiated while scanning a laser beam using the laser beam which has the exposure field of the shape of a line or a rectangle. In this case, it is made to move in the direction of a minor axis so that an exposure field may lap partially, and laser radiation is performed to the desired whole field. Moreover, it is good also as a gestalt which carries out the package exposure of the laser beam from a viewpoint of a productivity drive to the whole wafer. In addition, a substrate can be heated and **** laser radiation can also be performed. In this case, as for whenever [stoving temperature / of a substrate], it is desirable to consider as about 200-450 degrees C. If temperature is too high, a result which causes the fall of the dependability of a component will be brought.

[0031] In this operation gestalt, although the approach of irradiating perpendicularly to a substrate is used for laser radiation, the gap angle from a substrate perpendicular direction can also irradiate it from a slanting include angle by within the limits which is 0.01 - 50 degrees. Thereby, sufficient energy is given to the film inside a crevice, and crystallinity may be raised.

[0032] The up electrode layer 8 is formed after laser radiation (drawing 3). Then, dry etching is performed and the capacity insulator layer 7 and the up electrode layer 8 are separated per chip. The capacity which reaches the adhesion film 5, the lower electrode layer 6, and the capacity insulator layer 7 as mentioned above, and consists of an up electrode layer 8 is formed.

[0033] Although the ruthenium film was used as an electrode layer with this operation gestalt, the cascade screen of the ruthenium oxide film, the platinum film, the iridium film, and the oxidation iridium film etc. can be illustrated. In addition, the thickness of each film which constitutes capacity is suitably set up according to the path of the crevice in drawing etc. Moreover, as an electrode layer, when metallic oxides, such as ruthenium oxide, are used, laser radiation can also be applied to crystallization of this metallic oxide.

[0034] Moreover, although capacity is formed in the crevice in which it was prepared in the insulator layer on a semi-conductor substrate with this operation gestalt, a direct crevice can be formed in a semi-conductor substrate, and capacity can also be formed. Moreover, it is good as preparing heights into the insulator layer on a semi-conductor substrate, and forming the capacity film on it. In this case, the configuration of capacity serves as the so-called cylinder mold, and the capacity film will be formed in the outer wall of heights. Moreover, it is applicable to various formation of the capacity of a stack mold besides these.

[0035] In the operation gestalt of the 2nd operation gestalt above 1st, if the energy of laser radiation is too high, in plane regions other than a crevice, condensation of the capacity insulator layer 7 may take place, and a height may occur. So, with this operation gestalt, chemical mechanical polish has removed the metallic oxide formed in fields other than a crevice.

[0036] First, it carries out like [the process of drawing 2 (c)] the 1st operation gestalt, and laser radiation is performed to the capacity insulator layer 7. At this time, condensation of a capacity insulator layer may take place and a height 11 may occur like drawing 4 (a). Then, chemical mechanical polish is carried out until an interlayer insulation film 3 exposes the whole wafer (drawing 4 (b)). Then, the

interior of a crevice may be washed using penetrant removers, such as APM (ammonia-hydrogen peroxide solution).

[0037] By passing through the above process, the foreign matter generated by laser radiation can be removed, and the dependability of a component can be raised.

[0038] With the 3rd operation gestalt book operation gestalt, after embedding the interior of a crevice with a predetermined ingredient, chemical mechanical polish removes the metallic oxide formed in fields other than a crevice.

[0039] First, like drawing 5 (a), after preparing a connection hole into an interlayer insulation film 3, the laminating of the adhesion film 5, the lower electrode layer 6, and the capacity insulator layer 7 is carried out. The resist ingredient 10 is continuously applied to the whole surface, and the interior of a hole is embedded (drawing 5 (b)). Then, chemical mechanical polish is carried out until an interlayer insulation film 3 exposes the whole wafer. The resist ingredient which remained in the interior of a hole is removed using oxygen plasma ashing and resist exfoliation liquid (drawing 5 (c)). Although resist exfoliation liquid is suitably chosen according to the class of interlayer insulation film 3 etc., amine content liquid, ammonium fluoride salt content liquid, etc. can be used for it, for example.

[0040] By passing through the above process, it will be in the condition that the amorphous capacity insulator layer 7 exists only in the interior of a crevice. Therefore, if laser radiation is performed in this condition, since the problem of generating of the foreign matter in the field outside a crevice will not arise, the laser beam of a high energy consistency suitable for irradiating in a crevice can be chosen. Consequently, the capacity insulator layer 7 in a crevice can fully be crystallized, and the capacitive element of the stable engine performance can be obtained.

[0041] With this operation gestalt, although laser radiation is performed in the phase of drawing 5 (c), laser radiation can also be carried out in the phase of drawing 5 (a). In this case, if the laser beam of high energy density is irradiated, condensation of the capacity insulator layer 7 may take place in a flat part, and a height as shown by drawing 4 (a) may occur. However, since polish removal of the field outside a crevice will be carried out at the process after drawing 5 (b), generating of a height does not pose a problem.

[0042] In addition, as an ingredient which embeds the interior of a crevice, spreading die materials, such as SOG (Spin On Glass), HSQ (Hydrogen Silsesquioxane) and MSQ (Methyl Silsesquioxane) besides a resist ingredient, and a silica, can be illustrated. In this case, HSQ laid underground is removable with dilution fluoric acid etc.

[0043]

[Example] On the example silicon wafer of reference, 2OTa5 film of 15nm of thickness was formed with the CVD method on the whole surface. XeCl excimer laser performed pulse irradiation to this 2OTa5 film. It was made for exposure conditions to be the followings.

laser wavelength: -- 308nm laser frequency: -- count of 290Hz shot: -- configuration [of a 20 shot laser exposure field]: -- a line -- profile [of the exposure field of a laser travelling direction]: -- trapezoid configuration average energy density (energy density of the top flat section)

: The 300 mJ/cm² exposure method made the laser radiation field the method which makes it go on in the fixed direction so that an exposure field might overlap 95%.

[0044] About 2OTa5 film after laser radiation, when the crystal structure was analyzed according to the X diffraction, the peak of the field (001) of Ta 2O₅ and the peak of the field (200) of Ta 2O₅ appeared strongly.

[0045] About 2OTa5 film which replaced with laser radiation and performed RTA annealing on the other hand, when the crystal structure was analyzed according to the X diffraction, the peak of the field (001) of Ta 2O₅ and the peak of the field (200) of Ta 2O₅ appeared.

[0046] From the above thing, it was checked like RTA processing by the laser radiation of XeCl that the good crystal structure is acquired.

[0047] The interlayer insulation film which consists of SiO₂ was formed on the example silicon wafer. Subsequently, dry etching of the interlayer insulation film was carried out, and the hole with a depth of 2 micrometers which has the base of the ellipse form of 0.3 micrometers of minor axes and 0.35

micrometers of major axes was formed.

[0048] After continuing and forming 2OTa5 film of 15nm of thickness in the whole surface with a CVD method, chemical mechanical polish removed 2OTa5 film of the hole exterior.

[0049] XeCl excimer laser performed pulse irradiation to 2OTa5 film of ** in a hole obtained as mentioned above. It was made for exposure conditions to be the followings.

laser wavelength: -- 308nm laser frequency: -- count of 290Hz shot: -- configuration [of a 20 shot laser exposure field]: -- a line -- profile [of the exposure field of a laser travelling direction]: -- trapezoid configuration average energy density (energy density of the top flat section)

: The 300 mJ/cm² exposure method made the laser radiation field the method which makes it go on in the fixed direction so that an exposure field might overlap 95%.

[0050] About 2OTa5 film formed in the crevice wall after laser radiation, when the crystal structure was analyzed according to the X diffraction, the peak of the field (001) of Ta 2O₅ and the peak of the field (200) of Ta 2O₅ appeared strongly like the result of the example of reference. From this, it was checked also to 2OTa5 dielectric film formed in the crevice that crystallization by laser is performed effectively.

[0051]

[Effect of the Invention] The property of a metallic-oxide ingredient can be pulled out to the maximum extent, without spoiling the dependability of a component according to this invention, since a metallic oxide can be crystallized in a low-temperature process as explained above.

[0052] For example, in a capacitive element, the capacity film which has a dielectric constant high enough, and the electrode layer which has conductivity high enough can be formed, without spoiling the dependability of the plug which connects a transistor, a transistor, and capacity.

[Translation done.]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2002-164514

(P2002-164514A)

(43)公開日 平成14年6月7日(2002.6.7)

(51)Int.Cl. ⁷	識別記号	FI	キーワード(参考)
H01L 27/105		H01L 21/316	P 5F058
21/316			X 5F083
			G
27/108		27/10	444B
			621C
審査請求 未請求 請求項の数9 O/L (全8頁) 最終頁に続く			

(21)出願番号 特願2000-357780(P2000-357780)

(22)出願日 平成12年11月24日(2000.11.24)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 青木 秀亮

東京都港区芝五丁目7番1号 日本電気株式会社社内

(72)発明者 藤岡 弘文

東京都港区芝五丁目7番1号 日本電気株式会社社内

(74)代理人 100088328

弁理士 金田 暢之 (外2名)

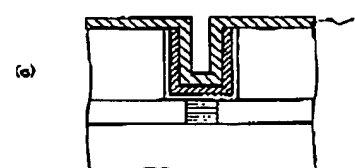
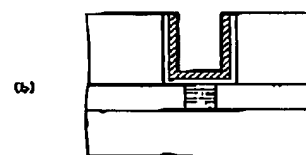
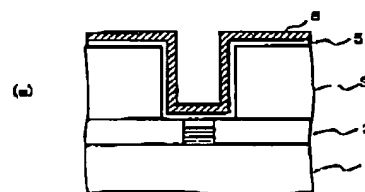
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】素子の信頼性を損なうことなく、金属酸化物材料の特性を最大限に引き出す方法を提供する。たとえば容量素子においては、十分に高い誘電率を有する容量膜や、十分に高い導電性を有する電極膜を形成する方法を提供する。

【解決手段】層間絶縁膜3中に接続孔を設けた後、密着膜5および下部電極膜6を形成し、その上に容量絶縁膜7を形成する。この容量絶縁膜7にレーザ光を照射して結晶化する。その後、上部電極膜を形成し、容量素子を完成する。



(2)

特開2002-164514

1

2

【特許請求の範囲】

【請求項1】 凹部または凸部の設けられた半導体基板表面に非晶質の金属酸化物を堆積した後、レーザ光の照射により該金属酸化物を結晶化する工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上に、凹部を有する層間絶縁膜を形成した後、該凹部の内壁を含む領域に下部電極層を形成し、その上に非晶質の金属酸化物を堆積する第一の工程と、レーザ光の照射により該金属酸化物を結晶化する第二の工程と、該金属酸化物の上に上部電極層を形成する第三の工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項3】 請求項2に記載の半導体装置の製造方法において、第一の工程と第二の工程との間に、化学的機械的研磨により、凹部以外の領域に形成された前記金属酸化物を除去する工程を行うことを特徴とする半導体装置の製造方法。

【請求項4】 請求項2または3に記載の半導体装置の製造方法において、第二の工程と第三の工程との間に、化学的機械的研磨により凹部以外の領域の表面を研磨する工程を行うことを特徴とする半導体装置の製造方法。

【請求項5】 請求項2乃至4いずれかに記載の半導体装置の製造方法において、下部電極層が、Ru、PtおよびIrから選択される一または二以上の元素を含む金属材料からなることを特徴とする半導体装置の製造方法。

【請求項6】 請求項2乃至4いずれかに記載の半導体装置の製造方法において、下部電極層が、Ti、TaまたはWを含む材料からなることを特徴とする半導体装置の製造方法。

【請求項7】 請求項1乃至6いずれかに記載の半導体装置の製造方法において、前記レーザ光のエネルギー密度が、 100 mJ/cm^2 以上 450 mJ/cm^2 以下であることを特徴とする半導体装置の製造方法。

【請求項8】 請求項1乃至7いずれかに記載の半導体装置の製造方法において、前記金属酸化物は、 Ta_2O_5 、BST ($\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$)、PZT ($\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$)、PLZT ($\text{Pb}_{1-x}\text{La}_x\text{Zr}_x\text{Ti}_{1-x}\text{O}_3$) または $\text{SrBi}_x\text{Ta}_{1-x}\text{O}_3$ ($0 < x < 1$, $0 < y < 1$) であることを特徴とする半導体装置の製造方法。

【請求項9】 請求項1乃至8いずれかに記載の半導体装置の製造方法において、前記凹部は、深さ $0.2\text{ }\mu\text{m}$ 以上の孔または溝であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、金属酸化物を利用した素子の製造方法に関するものである。

【0002】

【従来の技術】 近年、DRAMやFeRAMの容量絶縁膜として、従来のシリコン酸化膜やシリコン窒化膜に代えて Ta_2O_5 やペロブスカイト系材料等の強誘電体膜が用いられるようになってきた。このような強誘電体膜を用いることにより、小さな専有面積内に必要な蓄積容量を確保することが可能となり、容量素子集積度の向上を図ることができる。

【0003】 強誘電体膜を利用する場合、十分に高い誘電率を得るため、成膜後、通常、 $600\sim 700^\circ\text{C}$ の高温でアニールを行うことが必要となる。成膜した直後の段階では、強誘電体膜は非晶質の状態であるため高い誘電率は得られず、アニールによる結晶化工程を経ることによりはじめて材料本来の有する誘電率が発現するのである。ところが、このような高温アニールを行う関係で、従来の製造方法は以下のような課題を有していた。

【0004】 容量膜を挟む電極材料としてポリシリコンなどを用いた場合は、容量が小さくなるという問題があった。強誘電体膜は、通常、金属酸化物からなるが、上記高温アニールにより、この金属酸化物から酸素が遊離してポリシリコンを酸化する。このため、電極材料間に強誘電体膜より誘電率の低い誘電体膜（酸化シリコン膜）が存在することとなり、結果として容量が小さくなるのである。

【0005】 このような弊害を避けるため、電極材料として酸化により絶縁膜化しにくいもの、たとえばルテニウムや白金等の貴金属を用いることが有効となる。ところがこのような金属材料は、いわゆるライフタイムキラーとして知られており、上記したような高温のアニールを行うとシリコン基板中を高速で拡散し、キャリア移動度の低下、トランジスタのしきい値電圧の変動等、種々の弊害をもたらす場合がある。

【0006】 また、容量部は、通常、トランジスタと層間接続プラグを介して接続されるが、上記のような高温アニールを行うと、層間接続プラグや層間接続プラグと容量の間の界面が酸化し、抵抗が増加することがあった。

【0007】 一方、容量膜の形成方法として、高温アニール法のほかに、レーザ光の照射により結晶化する方法も知られている（特開平11-193472号公報および特開平5-343642号公報）。しかしながら、これらの公報に記載の方法は平面上に形成された非晶質膜に対してレーザ照射する方法を提供するものであり、凹凸表面上に形成された金属酸化物をレーザ照射による結晶化する方法を提供するものではなかった。レーザ光は直進性が高いことから、これまでの技術常識によれば、凹凸表面、特に側壁部に形成された金属酸化物に対してレーザ照射が有効に作用するとは考えられておらず、このような対象にレーザ照射による結晶化技術を適用する試みは検討されていなかったのである。また、凹凸表面に形成された金属酸化物にレーザ照射した場合、場所に

50

(3)

特開2002-164514

3

より光の照射量が異なることが予想される上、微細化された容量素子の製造においては、容量膜のうちのわずかな部分に結晶化不良が生じた場合でも容量の大きさが大きく変動し、製品信頼性を著しく損なう結果となる。以上述べた背景から、凹凸表面に形成された容量膜の結晶化プロセス、特に、このような容量膜を備えた容量素子の製造プロセスにおいては、レーザ照射による結晶化の検討はなされた例がなく、RTA (Rapidly Thermal Annealing) 等による高温アニールが一般的に行われていた。

【0008】

【発明が解決しようとする課題】本発明は上記事情に鑑みなされたものであり、素子の信頼性を損なうことなく、金属酸化物材料の特性を最大限に引き出す方法を提供するものである。たとえば容量素子においては、充分に高い誘電率を有する容量膜や、充分に高い導電性を有する電極膜を形成する方法を提供するものである。

【0009】

【課題を解決するための手段】本発明の半導体装置の製造方法は、凹部または凸部の設けられた半導体基板表面に非晶質の金属酸化物を堆積した後、レーザ光の照射により金属酸化物を結晶化する工程を含むことを特徴とする。

【0010】また、本発明の半導体装置の製造方法は、半導体基板上に、凹部を有する層間絶縁膜を形成した後、凹部の内壁を含む領域に下部電極層を形成し、その上に非晶質の金属酸化物を堆積する第一の工程と、レーザ光の照射により金属酸化物を結晶化する第二の工程と、金属酸化物の上に上部電極層を形成する第三の工程と、を含むことを特徴とする。

【0011】本発明は、凹凸表面、特に凹部の側壁に堆積された金属酸化物を好適に結晶化し、材料の特性を引き出す方法を提供するものである。結晶化された金属酸化物は、容量素子の容量膜や電極膜として利用することができる。

【0012】たとえば、金属酸化物として、 Ta_2O_5 、 $BSrT(Ba_xSr_{1-x}TiO_3)$ 、 $PZT(PbZr_xTi_{1-x}O_3)$ 、 $PLZT(Pb_{1-y}La_yZr_xTi_{1-x}O_3)$ または $SrBi_xTa_{2-x}O_6$ ($0 < x < 1$, $0 < y < 1$) 等を選択すれば、レーザ光の照射により誘電率が安定的に上昇し、高誘電率の容量膜が得られる。

【0013】また、金属酸化物として、 Ru や Pt の酸化物を選択した場合、レーザ光の照射により導電性が安定的に向上し、好適な電極膜を得ることができる。

【0014】近年では、容量素子の構造として、集積度向上の観点から、スタック型やトレンチ型等、立体的な構造が採用されることが多い。このような構造では、半導体基板やその上の層間絶縁膜に設けられたホールや側壁に容量膜や電極膜を形成したり、あるいは、基板表面に設けられた凸部の側壁に容量膜や電極膜を形成すると

4

とが行われる。本発明は、上記のような立体的な構造に対して好適に適用することができ、容量膜全体を均質に結晶化して高誘電率化することができる。また、電極膜全体を均質に結晶化して安定な導電性を得ることができる。

【0015】

【発明の実施の形態】本発明の半導体装置の製造方法は、(a) 半導体基板上に凹部を有する層間絶縁膜を形成した後、凹部の内壁を含む領域に下部電極層を形成し、その上に非晶質の金属酸化物を堆積する第一の工程と、(b) レーザ光の照射により金属酸化物を結晶化する第二の工程と、(c) 金属酸化物の上に上部電極層を形成する第三の工程と、を含む構成とすることができる。

【0016】(a) 工程では、半導体基板上に層間絶縁膜を形成した後、この層間絶縁膜をエッチングすることにより凹部を形成する方法のほか、あらかじめ凹部の形成された下地上に成膜することで凹部を有する層間絶縁膜を形成する方法を採用することができる。

【0017】上記半導体装置の製造方法において、第一の工程と第二の工程との間に、化学的機械的研磨により、凹部以外の領域に形成された金属酸化物を除去する工程を行うことができる。凹部内部を充分に結晶化するためにはレーザ光のエネルギー密度を充分に高くする必要がある。ところが、本発明者らの検討によれば、このようにすると、凹部以外の平面領域に膜材料が凝集して異物が発生する場合があることが確認された。これは、凹部内部の膜に対して好適なエネルギーのレーザ光は、凹部以外の領域の膜に対してはエネルギー過剰となることによるものと考えられる。このような異物は、その後の成膜不良の原因となるほか、ウェーハの汚染、装置間のクロス汚染の原因となり、素子の信頼性を著しく低下させる要因となる。このような異物の発生を防止する方法として、第一の工程と第二の工程との間に、化学的機械的研磨により、凹部以外の領域に形成された金属酸化物を除去する工程を行うことが有効となる。このようにすれば凹部以外の領域に形成された非晶質膜が除去された状態でレーザ照射が行われるので、異物の発生を抑制できる。

【0018】また、上記半導体装置の製造方法において、第二の工程と第三の工程との間に、化学的機械的研磨により凹部以外の領域の表面を研磨する工程を行うこともできる。この研磨により、凹部以外の平坦な領域に形成された金属酸化物の膜が除去される。このため、レーザ照射によって発生した異物、たとえば金属酸化物の凝集物等が除去され、その後の成膜不良等を防止することができる。

【0019】上記半導体装置の製造方法において、下部電極層は、多結晶シリコンを用いることもできるが、 Ru 、 Pt および Ir から選択される一または二以上の元

50

(4)

特開2002-164514

5

素を含む金属材料からなるものとする。このようにすれば、凹部内部の非晶質膜をより均質に結晶化することができる。この理由は必ずしも明らかではないが、レーザ照射光が下部電極層により反射して、凹部側壁等に充分なレーザ光エネルギーが与えられることによるものと推察される。また、下部電極層材料として、Ti、TaまたはWを含む材料を用いることもできる。このようにすれば凹部内の成膜性が良好になる等の利点を得られる。

【0020】第1の実施形態

次に、本発明の好ましい実施の形態について、DRAMの容量製造プロセスを例に挙げ、図1～図3を参照しながら説明する。本実施形態では、半導体基板上の絶縁膜中の設けられた凹部に下部電極膜、容量絶縁膜および上部電極膜を積層した構成の容量を形成する。なお、説明の便宜のため、図中、容量部分は若干拡大して記載されている。

【0021】まず、図1(a)に示すように、シリコン基板1上にソース・ドレイン拡散領域を含むMOSトランジスタを形成した後(図示せず)、シリコン基板1の全面に層間絶縁膜2を形成する。次いで、不図示の拡散領域上に、コンタクトプラグ4を形成する。コンタクトプラグ4の埋め込み材料は、ポリシリコン、タンガステン等を用いることができる。プラグ形成後、基板全面を平坦化し、その上に層間絶縁膜3を形成する。

【0022】次いでドライエッチングを行い、コンタクトプラグ4に達する孔を層間絶縁膜3中に形成する(図1(b))。孔の断面は円形や楕円形等とすることが好ましい。孔の内径はたとえば0.1～0.5μmとする。また、容量素子密度向上の観点から、孔の深さは、好ましくは0.2μm以上、より好ましくは0.4～3μm、アスペクト比は、好ましくは1以上、より好ましくは3～20とする。

【0023】続いて基板全面に、密着膜5を形成する(図1(c))。密着膜5は、たとえばTaN膜、WN膜、あるいは、TiおよびTiNがこの順で積層した膜とすることができ、スパッタリング法、CVD法等により成膜することができる。

【0024】次に基板全面にルテニウムからなる下部電極膜6を形成する(図2(a))。電極材料としてルテニウムを用いることにより、電極材料の酸化による容量の低下を有効に防止でき、また、製造コストを低減することができる。ルテニウムの成膜方法としては、スパッタリング法、CVD法等を用いることができるが、このうちCVD法が好ましい。図2(a)に示される狭い孔内に、ルテニウム薄膜を均一に良好なカバレッジで形成するためには、CVD法が最も適しているからである。CVD法を用いる場合の原料ガスは、たとえばビスー(エチルシクロペンタジエニル)ルテニウムを用いることができる。

6

【0025】次に、シリコン基板の素子形成領域以外に付着したルテニウム系金属を除去するため、除去液を用いた処理を行う。これにより、ルテニウムによる素子信頼性の低下や成膜装置のクロス汚染を防止することができる。除去液としては、たとえば、(a)塩素酸、過塩素酸、沃素酸、過沃素酸、酸化ブロムイオンを含む塩、酸化マンガンイオンを含む塩および4価セリウムイオンを含む塩からなる群から選ばれる一または二以上の化合物と、(b)硝酸、酢酸、沃素酸、塩素酸からなる群から選ばれる一または二以上の酸とを含有するものを用いる。酸としては、硝酸、過塩素酸および酢酸からなる群より選択される一または二以上の酸を用いることが好ましい。このような除去液を用いることにより、ルテニウム系金属を効果的に除去することができ、また、除去したルテニウム系金属の再付着を有効に防止できる。

【0026】つづいて、密着膜5および下部電極膜6の不要部分をエッチバックまたは化学的機械的研磨(Chemical Mechanical Polishing :CMP)により除去する。除去した状態を図2(b)に示す。このように密着膜5および下部電極膜6を層間絶縁膜3と同じ高さに揃えることにより、隣接する他の容量の電極と、図中の下部電極膜6とが接触することを防止できる。

【0027】次に、基板全面にTa₂O₅からなる容量絶縁膜7を形成する(図2(c))。容量絶縁膜7の成膜は、たとえばペンタエトキシタンタルと酸素を主原料とするCVD法により行うことができる。容量絶縁膜7を構成する金属酸化物としては、Ta₂O₅以外に、BST(Ba_xSr_{1-x}TiO₃)、PZT(PbZr_xTi_{1-x}O₃)、PLZT(Pb_{1-x}La_xZr_yTi_{1-y}O₃)またはSrBi₂Ta₂O₉(0<x<1, 0<y<1)等のペロブスカイト系材料を用いることができる。これらの容量絶縁膜の成膜方法は特に制限がないが、CVD法、ゾルゲル法、スパッタリング法等を用いることができる。

【0028】成膜した直後の容量絶縁膜7は、非晶質(アモルファス)の状態であり、その材料本来の高い誘電率は発現しない。従来技術においては、この後、通常、600～700℃のランブアニールを行うことにより結晶化を行っていたが、本実施形態では、レーザ光を照射することにより結晶化を行う。

【0029】レーザ光の光源としては、XeCl、KrF、ArF、F₂、XeF等のエキシマレーザのほか、固体レーザ等を用いることができる。さらに、これらのレーザに所望の発光波長の色素レーザを組み合わせて用いることもできる。このうち、充分なエネルギー密度が容易に得られるXeCl、KrF、ArFエキシマレーザが好ましく用いられる。レーザ光の平均エネルギー密度は、好ましくは100mJ/cm²以上、より好ましくは150mJ/cm²以上、最も好ましくは200mJ/cm²以上である。また、好ましくは450mJ/cm²以上である。

50

(5)

特開2002-164514

7

cm^2 以下、より好ましくは $400\text{mJ}/\text{cm}^2$ 以下、最も好ましくは $350\text{mJ}/\text{cm}^2$ 以下である。エネルギー密度が小さすぎると凹凸の側面等に形成された該金属酸化物を均質に結晶化することが困難となる。特に、高いアスペクト比(内径最小値/深さ)の孔や平均内径値の狭い孔の内部に形成された金属酸化物を結晶化することは極めて困難となる。一方、エネルギー密度が高すぎると、凹凸以外の平面部分に形成された金属酸化物が凝集して、その後のプロセスにおいて成膜不良等を引き起こす場合がある。レーザ光の波長は、金属酸化物の吸収波長等に応じて適宜選択されるが、 $150\sim 350\text{nm}$ の波長のものが好ましく用いられる。このような波長のレーザ光を照射することにより孔の内部に形成された金属酸化物の結晶化を実現している。高アスペクト比の孔の内部に形成された金属酸化物は、光の回折効果により孔内部に進行したレーザ光によってアニールされ、結晶化するものと考えられる。

【0030】レーザ光の照射方法は、たとえば、線状あるいは矩形の照射領域を有するレーザ光を用い、レーザ光をスキャンしながら照射を行う方式を採用することができる。この場合、照射領域が部分的に重なるように短軸方向に移動させ、所望の領域全体に対してレーザ照射を行う。また、生産性向上の観点から、ウェーハ全体に対してレーザ光を一括照射する形態としてもよい。なお、基板を加熱しながらレーザ照射を行うこともできる。この場合、基板の加熱温度は $200\sim 450^\circ\text{C}$ 程度とすることが好ましい。温度が高すぎると、素子の信頼性の低下を招く結果となる。

【0031】レーザ照射は、本実施形態においては、基板に対して垂直に照射する方法を用いるが、基板垂直方向からのずれ角が $0.01\sim 50$ 度の範囲内で斜めの角度から照射することもできる。これにより、凹部の内部の膜に対して十分なエネルギーを与え、結晶性が向上させ得る。

【0032】レーザ照射後、上部電極膜8を形成する(図3)。その後、ドライエッチングを行い、容量絶縁膜7および上部電極膜8をチップ単位に分離する。以上のようにして、密着膜5、下部電極膜6、容量絶縁膜7をおよび上部電極膜8からなる容量が形成される。

【0033】本実施形態では電極膜としてルテニウム膜を用いたが、この他に、酸化ルテニウム膜、白金膜、イリジウム膜と酸化イリジウム膜の積層膜等を例示することができる。なお、容量を構成する各膜の厚みは、図中の凹部の径等に応じて適宜に設定される。また、電極膜として、酸化ルテニウム等の金属酸化物を利用した場合、この金属酸化物の結晶化にレーザ照射を適用することもできる。

【0034】また、本実施形態では、半導体基板上の絶縁膜中の設けられた凹部に容量を形成しているが、半導体基板に直接凹部を形成して容量を形成することもでき

8

る。また、半導体基板上の絶縁膜中に凸部を設け、その上に容量膜を形成することとしてよい。この場合、容量の形状は、いわゆるシリンダー型となり、容量膜は凸部の外壁に形成されることとなる。また、これらのほか、種々のスタック型の容量の形成に適用できる。

【0035】第2の実施形態

上記第1の実施形態において、レーザ照射のエネルギーが高すぎると、凹部以外の平面領域において、容量絶縁膜7の凝集が起こり、突起部が発生する場合がある。そこで、本実施形態では、化学的機械的研磨により、凹部以外の領域に形成された金属酸化物を除去している。

【0036】まず、図2(c)の工程までは第1の実施形態と同様に行い、容量絶縁膜7に対してレーザ照射を行う。このとき、容量絶縁膜の凝集が起こり、図4

(a)のように突起部11が発生する場合がある。そこで、ウェーハ全体を層間絶縁膜3が露出するまで化学的機械的研磨する(図4(b))。その後、APM(アンモニア過酸化水素水)等の洗浄液を用いて凹部内部を洗浄してもよい。

【0037】以上の工程を経ることにより、レーザ照射により発生した異物を除去でき、素子の信頼性を高めることができる。

【0038】第3の実施形態

本実施形態では、凹部の内部を所定の材料により埋め込んだ後、化学的機械的研磨により、凹部以外の領域に形成された金属酸化物を除去する。

【0039】まず図5(a)のように、層間絶縁膜3中に接続孔を設けた後、密着膜5、下部電極膜6および容量絶縁膜7を積層する。つづいてレジスト材料10を全面に塗布し、孔の内部を埋め込む(図5(b))。その後、ウェーハ全体を層間絶縁膜3が露出するまで化学的機械的研磨する。孔の内部に残ったレジスト材料は、酸素プラズマアッシングおよびレジスト剥離液を用いて除去する(図5(c))。レジスト剥離液は、層間絶縁膜3の種類等に応じて適宜選択されるが、たとえば、アミン含有液、フッ化アンモニウム塩含有液等を用いることができる。

【0040】以上の工程を経ることにより、凹部の内部にのみ非晶質の容量絶縁膜7が存在する状態となる。したがって、この状態でレーザ照射を行えば、凹部外領域における異物の発生の問題が生じないため、凹部内に照射するのに適した高エネルギー密度のレーザ光を選択できる。この結果、凹部内の容量絶縁膜7を十分に結晶化でき、安定した性能の容量素子を得ることができる。

【0041】本実施形態では、図5(c)の段階でレーザ照射を行うが、図5(a)の段階でレーザ照射することもできる。この場合、高いエネルギー密度のレーザ光を照射すると、平坦部において容量絶縁膜7の凝集が起こり、図4(a)で示したような突起部が発生する場合がある。ところが、図5(b)の後の工程で、凹部外の

(6)

特開2002-164514

9

領域を研磨除去することになるため、突起部の発生は問題とならない。

【0042】なお、凹部の内部を埋め込む材料としては、レジスト材料のほか、SOG (Spin On Glass)、HSQ (Hydrogen Silsesquioxane)、MSQ (Methyl Silsesquioxane)、シリカ等の塗布型材料が例示できる。この場合、埋設したHSQ等は希釈フッ酸等により除去することができる。

【0043】

【実施例】 参考例

シリコンウェーハ上に、CVD法により全面に膜厚15 nmのTa₂O₅膜を形成した。このTa₂O₅膜に対して、XeClエキシマレーザによりパルス照射を行った。照射条件は以下のようにした。

レーザ波長: 308 nm

レーザ周波数: 290 Hz

ショット回数: 20ショット

レーザ照射領域の形状: 線状

レーザ進行方向の照射領域のプロファイル: 台形状
平均エネルギー密度 (トップフラット部のエネルギー密度)

: 300 mJ/cm²

照射方式は、照射領域が95%オーバーラップするようにレーザ照射領域を一定方向に進行させる方式とした。

【0044】レーザ照射後のTa₂O₅膜について、X線回折により結晶構造を解析したところ、Ta₂O₅の(001)面のピーク、および、Ta₂O₅の(200)面のピークが強く現れた。

【0045】一方、レーザ照射に代えてRTAアニールを行ったTa₂O₅膜について、X線回折により結晶構造を解析したところ、Ta₂O₅の(001)面のピーク、および、Ta₂O₅の(200)面のピークが現れた。

【0046】以上のことから、XeClのレーザ照射により、RTA処理と同様、良好な結晶構造が得られることが確認された。

【0047】実施例

シリコンウェーハ上にSiO₂からなる層間絶縁膜を形成した。次いで層間絶縁膜をドライエッチングして、短軸0.3 μm、長軸0.35 μmの楕円形の底面を有する深さ2 μmのホールを形成した。

【0048】つづいて、CVD法により全面に膜厚15 nmのTa₂O₅膜を形成した後、ホール外部のTa₂O₅膜を化学的機械的研磨により除去した。

【0049】以上のようにして得られたホール内のTa₂O₅膜に対して、XeClエキシマレーザによりパルス照射を行った。照射条件は以下のようにした。

レーザ波長: 308 nm

レーザ周波数: 290 Hz

10

ショット回数: 20ショット

レーザ照射領域の形状: 線状

レーザ進行方向の照射領域のプロファイル: 台形状
平均エネルギー密度 (トップフラット部のエネルギー密度)

: 300 mJ/cm²

照射方式は、照射領域が95%オーバーラップするようにレーザ照射領域を一定方向に進行させる方式とした。

【0050】レーザ照射後の凹部内壁に形成されたTa₂O₅膜について、X線回折により結晶構造を解析したところ、参考例の結果と同様、Ta₂O₅の(001)面のピーク、および、Ta₂O₅の(200)面のピークが強く現れた。このことから、凹部に形成されたTa₂O₅誘電体膜に対しても、レーザによる結晶化が効果的に行われることが確認された。

【0051】

【発明の効果】以上説明したように、本発明によれば、低温プロセスにて金属酸化物の結晶化を行うことができるので、素子の信頼性を損なうことなく、金属酸化物材料の特性を最大限に引き出すことができる。

【0052】たとえば容量素子においては、トランジスタや、トランジスタと容量とを接続するプラグの信頼性を損なうことなく、十分に高い誘電率を有する容量膜や、十分に高い導電性を有する電極膜を形成することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法を説明するための図である。

【図2】本発明の半導体装置の製造方法を説明するための図である。

【図3】本発明の半導体装置の製造方法を説明するための図である。

【図4】本発明の半導体装置の製造方法を説明するための図である。

【図5】本発明の半導体装置の製造方法を説明するための図である。

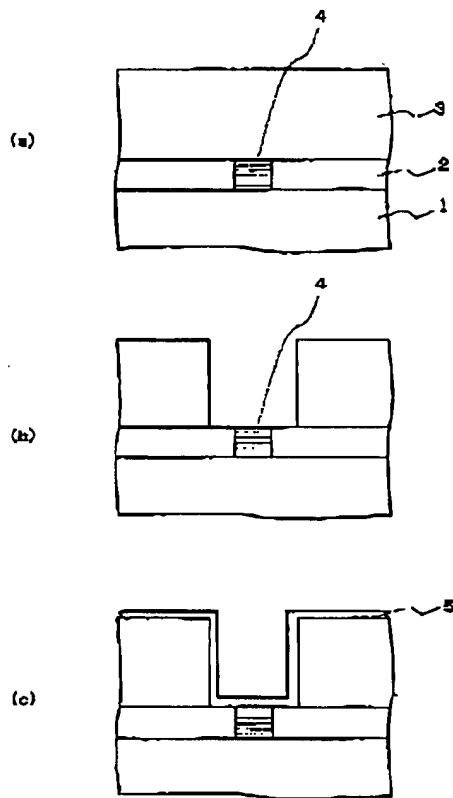
【符号の説明】

- 1 シリコン基板
- 2 層間絶縁膜
- 3 層間絶縁膜
- 4 コンタクトプラグ
- 5 密着膜
- 6 下部電極膜
- 7 容量絶縁膜
- 8 上部電極膜
- 10 レジスト材料
- 11 突起部

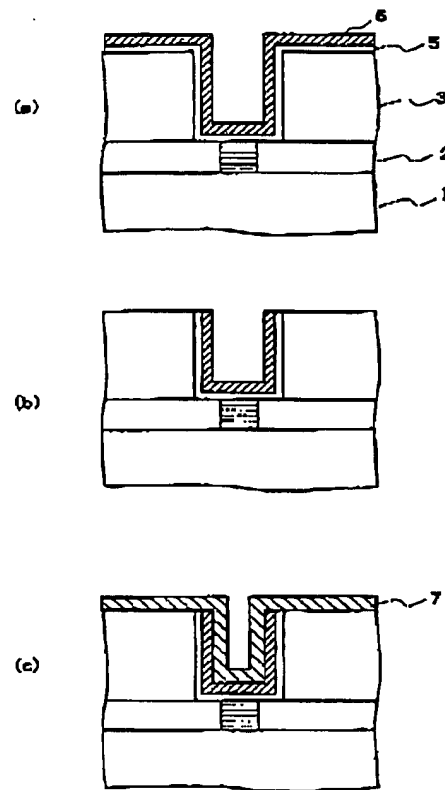
(7)

特開2002-164514

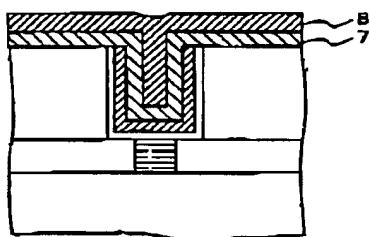
【図1】



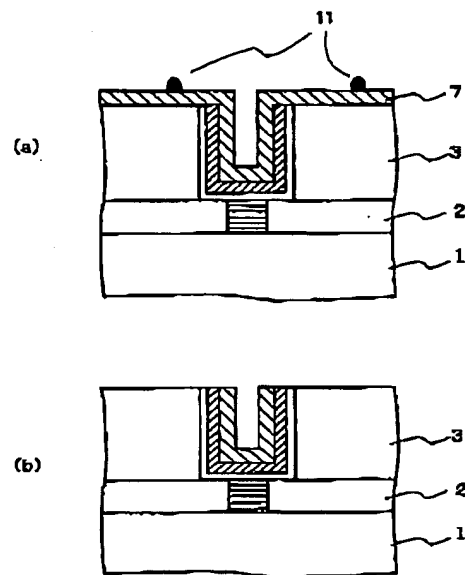
【図2】



【図3】



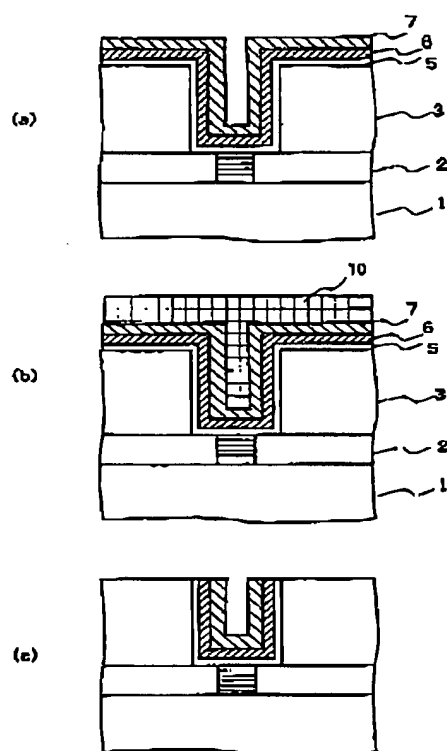
【図4】



(8)

特開2002-164514

【図5】



フロントページの続き

(51)Int.Cl.⁷
H01L 21/8242

識別記号

F I
H01L 27/10

キーワード(参考)

651

Fターム(参考) 5F058 BA11 BC03 BD05 BF02 BF46
BH01
5F083 FR02 JA06 JA15 JA17 JA38
JA39 JA40 MA06 MA17 PR05
PR33 PR34